

METHOD AND DEVICE FOR CONTROLLING DYNAMIC MEMORY REFRESHING

Patent Number: JP60175294
Publication date: 1985-09-09
Inventor(s): SHIGETA YOSHIHARU
Applicant(s): FUJI XEROX KK
Requested Patent: ☐ JP60175294
Application Number: JP19840031038 19840221
Priority Number(s):
IPC Classification: G11C11/34
EC Classification:
Equivalents:

Abstract

PURPOSE: To reduce power consumption and to inhibit occurrence of noise at the time of refreshing by performing a refreshing action for already used bank and not only bank being used but also bank to be used.

CONSTITUTION: A refreshing action is designed to be executed regarding a bank being used, bank already used and bank to be used next, with respect to a bank using condition according to a sequence of a bank A, bank B, bank C and bank D, by which power consumption at the time of refreshing can largely be reduced compared with the conventional system which always refreshes all banks as a whole, and at the same time, a waiting time is eliminated which is caused at the time of a dummy cycle by division of the refreshing actions into a bank unit, thereby enabling a high efficient memory access action.

Data supplied from the esp@cenet database - I2

⑨ 日本国特許庁 (J P)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭60-175294

⑫ Int. Cl.⁴
G 11 C 11/34識別記号
1 0 1庁内整理番号
8522-5B

⑬ 公開 昭和60年(1985)9月9日

審査請求 未請求 発明の数 2 (全8頁)

⑭ 発明の名称 ダイナミックメモリのリフレッシュ制御方法および装置

⑮ 特 願 昭59-31038

⑯ 出 願 昭59(1984)2月21日

⑰ 発 明 者 茂 田 義 春 海老名市本郷2274番地 富士ゼロックス株式会社海老名工場内

⑱ 出 願 人 富士ゼロックス株式会社 東京都港区赤坂3丁目3番5号

⑲ 代 理 人 弁理士 木村 高久

明 細 書

1. 発明の名称

ダイナミックメモリのリフレッシュ制御方法および装置

2. 特許請求の範囲

(1) 全記憶領域が複数のバンクによって構成され、各バンクが所定の順序にしたがって順次アクセスされるダイナミックメモリに対してリフレッシュ制御を行うダイナミックメモリのリフレッシュ制御方法において、前記各バンクの使用状態に対応して既に使用したバンク、使用中のバンクおよび次に使用するバンクに対してのみリフレッシュ動作を行うようにしたことを特徴とするダイナミックメモリのリフレッシュ制御方法。

(2) 全記憶領域が複数のバンクによって構成されたダイナミックメモリに対するリフレッシュ制御を行うダイナミックメモリのリフレッシュ制御装置において、前記ダイナミックメモリにおける該当バンクを択一的に選択するバンク選択信号を出

力するデコーダ手段と、該デコーダ手段の出力のうち最後にアクセスされるべく設定されたバンクを選択する前記バンク選択信号以外の各出力を各別にラッチし該ラッチ内容を一斉リセット信号が入力されるまで一定レベルに保持するバンクアドレスラッチ手段と、該バンクアドレスラッチ手段の各出力とリフレッシュ動作時に入力されるリフレッシュ要求信号との各論理積をとる第1の論理積手段と、前記デコーダ手段の各出力と前記ダイナミックメモリの行アドレスストローブ信号との各論理積をとる第2の論理積手段と、該複数の第2の論理積手段のうち最初にアクセスされるべく設定されたバンクに対応した前記バンク選択信号が入力される第2の論理積手段の出力と前記リフレッシュ要求信号との論理和をとり、その出力を前記最初にアクセスされるべく設定されたバンクの行アドレスストローブ端子に供給する第1の論理和手段と、前記第1の論理積手段の各出力と前記第1の論理和手段の入力にその出力を供給する第2の論理積手段以外の前記第2の論理積手段

の各出力との各論理和を所定の親様でとり、その各出力を前記ダイナミックメモリの各所定のバンクの行アドレスストローブ端子に供給する第2の論理和手段とを具え、前記ダイナミックメモリの記憶内容の保持が不要とされるまで前記バンクアドレスラッチ手段に対する一斉リセット信号の入力を控えるようにしたことを特徴とするダイナミックメモリのリフレッシュ制御装置。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、全記憶領域が複数のバンクによって分けられたダイナミックメモリに対するリフレッシュ制御を行うダイナミックメモリのリフレッシュ制御方法および装置に関する。

(従来技術)

一般にダイナミック形のメモリは、メモリ素子のゲート部の寄生容量に電荷の形で記憶情報を保持するために、隔れ電流により所定時間を経過すると記憶情報が失われてしまう。したがって、一

入力される。そして該マルチプレクサ3の出力は、タイミングジェネレータ7から供給される制御信号SLによって交互にダイナミックメモリ1のアドレス端子AD、 \overline{A} に供給される。一方、リフレッシュアドレス信号R \overline{A} はリフレッシュタイマ5の決定する周期でリフレッシュアドレスジェネレータ4から出力され、該リフレッシュアドレス信号R \overline{A} は前記タイミングジェネレータ7からの制御信号SLの制御によりマルチプレクサ3を介してダイナミックメモリ1のアドレス端子に加えられる。

アービット6はリフレッシュ動作が行われている以外の期間においてCPU2からコマンド情報を受入れ、タイミングジェネレータ7からWE信号、CAS信号、RAS信号を出力する。WE信号はWEバッファ8を介してダイナミックメモリ1のWE端子に供給され、書き込みの際のイネーブル信号として用いられる。CAS信号はCASバッファ9を介してダイナミックメモリ1のCAS端子に供給され、列(コラム)アドレスのストロ

ブ信号として用いられる。RAS信号はRASデコーダ10に供給され、該RASデコーダ10でダイナミックメモリ1のバンク選択のための論理がとられた後、ダイナミックメモリ1のRAS端子に供給され、行(ロー)アドレスのストローブ信号として用いられる。D \overline{A} はデータ信号である。

第1図に一般的なダイナミックメモリのアクセス装置の一例を示す。

第1図において、1はダイナミック形のRAMアレイを用いたダイナミックメモリ、2はCPU、3はダイナミックメモリ1に加えるアドレス信号(通常のアドレスはA $\overline{0}$ - $\overline{15}$ 、リフレッシュアドレスはR $\overline{0}$ - $\overline{6}$)切換え用のマルチプレクサ、4はリフレッシュアドレスジェネレータ、5はリフレッシュタイマー、6はCPU2から出力されるコマンドとリフレッシュタイマ5で発生されるリフレッシュ要求信号との切換え用のアービット、7はタイミングジェネレータ、8はライトイネーブル信号WE用のバッファ、9はCAS信号用のバッファ、10はRASデコーダ、20はバンクアドレス信号用のラッチである。

CPU2から出力されるアドレス信号A $\overline{0}$ - $\overline{15}$ は8ビットずつに分けられてマルチプレクサ3に

第2図に、RASデコーダ10の従来の内部構成およびダイナミックメモリ1の概念的構成を示す。

ダイナミックメモリ1はダイナミック形のRAMアレイであり、この場合全記憶容量が256Kバイトであるとする。通常、このような大容量のメモリは全記憶領域が複数のバンクによって分けられており、この場合は64Kバイトを単位バンクとした4バンク構成(バンクA乃至バンクD)であるとする。

RASデコーダ10は2ビット入力4ビット出力のデコーダ11および数個の論理ゲートによって構成されている。デコーダ11の入力端子には

ーブ信号として用いられる。RAS信号はRASデコーダ10に供給され、該RASデコーダ10でダイナミックメモリ1のバンク選択のための論理がとられた後、ダイナミックメモリ1のRAS端子に供給され、行(ロー)アドレスのストローブ信号として用いられる。D \overline{A} はデータ信号である。

バンクアドレスラッチ20(第1図参照)から計2ビットの拡張アドレス信号 A_{16} , A_{17} が供給され、デコーダ11は該拡張アドレス信号 A_{16} , A_{17} をデコードすることによりバンク選択信号 $B_a \sim B_d$ を択一的に出力する。したがって、前記バンク選択信号 $B_a \sim B_d$ のうちのいずれかが出力している時に \overline{RAS} 信号が入力されれば、これがダイナミックメモリ1の該当バンクの \overline{RAS} 端子に供給され、該当バンクのみが有効となる。

次に、従来のリフレッシュ制御について説明する。ここでは、128サイクルで各バンクの全領域をリフレッシュする場合について説明する。前述したようにダイナミックメモリ1の各記憶セルは2msに1回リフレッシュをすることが必要なために、これを128サイクルで行おうとすると、15.6 μ sずつに1回のリフレッシュが必要となることになる。したがってリフレッシュアドレスジェネレータ4では15.6 μ sにひとつずつ更新されるようなリフレッシュアドレス信号 R_{0-} を発生し、これをマルチプレクサ3を介してダイナミックメ

モリ1の各バンクA, B, C, Dに共通に入力する。一方、リフレッシュタイマー5では、15.6 μ sごとにリフレッシュ要求信号 \overline{RFSH} をアービタ6、タイミングジェネレータ7を介して \overline{RAS} デコーダ10に出力する。リフレッシュ要求信号 \overline{RFSH} が入力されると、 \overline{RAS} デコーダ10内のゲート12, 13, 14, 15の各出力は同時に論理レベルでロウレベルとなり、ダイナミックメモリ1の各バンクA, B, C, Dの行アドレスストローブ端子 $\overline{RAS0}$, $\overline{RAS1}$, $\overline{RAS2}$, $\overline{RAS3}$ は同時に論理レベルでロウレベルとなり全てのバンクが一度に選択されるようになる。第3図に、上述した従来の \overline{RAS} オンリーリフレッシュのタイムチャートを示す。

このように、従来のリフレッシュ制御方式では、各バンクを全て一括してリフレッシュ動作を行う。このため、第4図に示す \overline{RAS} オンリーリフレッシュ方式で、各バンクの \overline{RAS} 端子($\overline{RAS0}$, $\overline{RAS1}$, $\overline{RAS2}$, $\overline{RAS3}$)の立下がりおよび上がりの両変化時点において消費電力がそれ

ぞれピークを示し、またこれに伴ってノイズが発生し装置に誤動作を発生させることがあった。

〔発明の目的〕

この発明は上記実情に鑑みてなされたものであり、ダイナミックメモリのリフレッシュ時の消費電力を低減するとともに、不要なノイズの発生を防止するようにしたダイナミックメモリのリフレッシュ制御方法および装置を提供することを目的とする。

〔発明の構成〕

この発明では、各バンクの使用状態に対応して既に使用したバンク、使用中のバンクおよび次に使用するバンクに対してのみリフレッシュ動作を行わせるようにし、現時点までに使用されていないバンクについてはリフレッシュ動作を実行せず待機状態とすることによって上記目的を達成している。

〔実施例〕

以下、この発明を添付図面に示す実施例にしたがって詳細に説明する。

第5図は本発明にかかるリフレッシュ制御装置の主要部の一実施例を示したものであり、先の第1図および第2図に示したものと同一構成要素については同一符号を付し、それらの説明は省略する。本実施例においても、ダイナミックメモリ1はバンクA, バンクB, バンクCおよびバンクDの4バンク構成であるとする。

第5図において、デコーダ11より出力されるバンク選択信号 B_a, B_b, B_c, B_d は論理積ゲート41, 42, 43および44の各一方の入力端子にそれぞれ入力される。論理積ゲート41, 42, 43および44の各他方の入力端子には前記同様 \overline{RAS} 信号がタイミングジェネレータ7(第1図参照)より供給されており、論理積ゲート41, 42, 43および44はこれらの論理積をとり、その出力を論理和ゲート45, 46, 47および48を介してダイナミックメモリ1における各バンクA, B, C, Dの行アドレスストローブ端子 $\overline{RAS0}$, $\overline{RAS1}$, $\overline{RAS2}$, $\overline{RAS3}$ にそれぞれ供給する。本実施例装置においても先

の第2図に示した従来装置と同様、これらの部分が動作することによってダイナミックメモリ1の読出し、書き込み等のためのバンク選択制御が行われる。

次に、デコーダ11より出力されるバンク選択信号Ba, Bb, Bcはバンクアドレスラッチ30の各ラッチ30-B, 30-C, 30-Dにそれぞれ入力される。ここでバンクアドレスラッチ30は一斉リセット信号RSTの入力によって全てのラッチ30-B, 30-C, 30-Dが一斉にリセットされ、該リセットが解除された後各ラッチ30-B, 30-C, 30-Dは前記各バンク選択信号Ba, Bb, Bcの1番目の立下がりのみを各別にラッチし、該ラッチ内容を次のリセット信号RSTが入力されるまで保持するよう動作する。これらラッチ30-B, 30-C, 30-Dの各出力は論理積ゲート51, 52, 53の各一方の入力端子に入力され、ここでリフレッシュタイマ5(第1図参照)から出力されるリフレッシュ要求信号RFSHとの論理積がとられる。論理

積ゲート51, 52, 53の各出力は前記論理和ゲート46, 47, 48をそれぞれ介してダイナミックメモリ1の前記行アドレスストロブ端子RAS1, RAS2, RAS3にそれぞれ供給される。バンクAの行アドレスストロブ端子RAS0へはリフレッシュ要求信号RFSHが論理和ゲート45のみを介して供給される。本実施例装置では、これらの部分が動作することによって、ダイナミックメモリ1のリフレッシュ制御が行われる。

次に、上記実施例装置によるリフレッシュ動作例を第6図に示すフローチャートにしたがって具体的に説明する。

電源が投入されると、リセット信号RSTが入力されバンクアドレスラッチ30の各ラッチ内容は一斉にリセットされる。その後、このリセット動作が解除されることによってバンクアドレスラッチ30はラッチ可能状態となり、デコーダ11から出力される各バンク選択信号Ba~Bcの1番目の立下がりを各別にラッチできる状態となる。前述したよ

うに、この立下がりが一旦ラッチされると該ラッチ内容は次のリセット信号RSTが入力されるまで保持される。

この後、メモリ1に対して書き込み要求が発生すると、このアクセスはシリアルアドレスアクセスであるかあるいはランダムアドレスアクセスであるかが検索される。まず、シリアルアドレスアクセスである場合の動作について説明する。ダイナミックメモリ1のバンクはバンクA, バンクB, バンクC, バンクDの順序にしたがってアクセスされるとする。

バンクAに対する書き込み動作が開始される前に、バンクAに対応した拡張アドレス信号A16, A17がデコーダ11に入力され、デコーダ11は該信号A16, A17をデコードする。この結果バンクAに対するバンク選択信号Baのみが論理レベルでロウレベルとなる。バンクアドレスラッチ30のラッチ30-Bはこの立下がりをラッチし、このラッチ内容を次のリセット信号RSTが入力されるまで保持する。これにより、バンクアドレスラ

ッチ30のラッチ30-Bの出力のみが論理レベルでロウレベルとなり、リフレッシュ要求信号RFSHが入力されたときのみに論理積ゲート51の論理積が成立し、該論理積ゲート51のロウ出力を論理和ゲート46を介してバンクBの行アドレスストロブ端子RAS1に供給することができる。他方、バンクAの行アドレスストロブ端子RAS0にはリフレッシュ要求信号RFSHが論理和ゲート45のみを介して供給されるようになっている。すなわち、この時点ではバンクAおよびバンクBについてリフレッシュ動作を行わし得る状態となっている。この状態で、バンクAに対する当該書き込み要求が、バンクAについての最初の書き込み要求であるか否かを検索する。最初の書き込み要求である場合、まずリフレッシュ要求信号RFSHを適宜入力することでバンクAおよびバンクBに対して8回程のリフレッシュダミーサイクルを実行する。このダミーサイクルが終了することによって、バンクAおよびバンクBの全アドレス領域は書き込み可能な状態となる。一般に、

電源投入後システムが稼動し得る状態となるまでに数10ミリ秒は必要とするので、その間に上記リフレッシュダミーサイクルは終了しており、上記に伴う待ち時間は実質上発生しないこととなる。この後、 \overline{RAS} 信号、 \overline{CAS} 信号、 \overline{WE} 信号、アドレス信号 $A_{16}-15$ 等が適宜加えられることによって、バンクAに対する書き込み、読み出しを行うアクセス動作がアドレス順序にしたがって行われていく。このバンクAに対するメモリアクセス期間においては、15.6 μ sごとに行われる通常の \overline{RAS} オンリーリフレッシュ動作が実行されているが、この場合リフレッシュされるのはバンクAおよびバンクBの両方である。

次にバンクAに対するアクセスが終了し、アクセスはバンクBに移行したとする。この際、バンクBについては、バンクAに対するメモリアクセス期間に既に \overline{RAS} オンリーリフレッシュ動作によるダミーサイクルが実行されており、新たにダミーサイクルを経過させることなくメモリは書き込み可能な状態となっている。したがって、バンク

Bについてのダミーサイクルに伴う待ち時間は発生せず、バンクBに対して直ちにアクセス動作を開始することができる。バンクBに対応した拡張アドレス信号 A_{16} 、 A_{17} がデコーダ11に入力され、デコーダ11はこの A_{16} 、 A_{17} をデコードする。この結果、バンクBに対するバンク選択信号 B_b が論理レベルでロウレベルとなる。バンクアドレスラッチ30のラッチ30-Cはこの立下りをラッチし、このラッチ内容をリセット信号 \overline{RST} が入力されるまで保持する。なお、この時点において一斉リセット信号 \overline{RST} は未だ入力されないため、バンクBに対応したラッチ30-Bのラッチ内容は依然ロウレベルを保持している。したがって、バンクアドレスラッチ30のラッチ30-Bおよび30-Cの出力が論理レベルでロウレベルを維持し、リフレッシュ要求信号 \overline{RFSH} が入力されたときには論理積ゲート51および52の論理積が成立し、リフレッシュ要求信号 \overline{RFSH} および論理積ゲート51および52のロウ出力は論理和ゲート45、46および47をそれぞれ介

することによってバンクA、バンクBおよびバンクCの行アドレスストロブ端子 $\overline{RAS_0}$ 、 $\overline{RAS_1}$ および $\overline{RAS_2}$ にそれぞれ供給することができる状態となる。すなわち、この時点ではバンクA、バンクBおよびバンクCに対してリフレッシュ動作を行わし得る状態となっている。前述したように、この時点にバンクBは既に書き込み可能な状態となっており、この後、 \overline{RAS} 信号、 \overline{CAS} 信号、 \overline{WE} 信号、アドレス信号 $A_{16}-15$ 等が適宜加えられることによってバンクBに対するアクセス動作がアドレス順序にしたがって行われていく。このバンクBに対するメモリアクセス期間に行われる通常の \overline{RAS} オンリーリフレッシュ動作はバンクBだけでなく既にアクセスしたバンクAおよび次にアクセスするバンクCに対しても実行される。

次にバンクBに対するアクセスが終了し、アクセスはバンクCに移行したとする。この際、バンクCについては、バンクBに対するメモリアクセス期間に既に \overline{RAS} オンリーリフレッシュ動作によるダ

ミーサイクルが実行されており、新たにダミーサイクルを経過させることなくメモリは書き込み可能な状態となっている。したがって、バンクCについてのダミーサイクルに伴う待ち時間は発生せず、バンクCに対して直ちにアクセス動作を開始することができる。バンクCに対応した拡張アドレス信号 A_{16} 、 A_{17} がデコーダ11に入力され、デコーダ11はこの A_{16} 、 A_{17} をデコードする。この結果、バンクCに対するバンク選択信号 B_c が論理レベルでロウレベルとなる。バンクアドレスラッチ30のラッチ30-Dはこの立下りをラッチし、このラッチ内容をリセット信号 \overline{RST} が入力されるまで保持する。なお、この時点において一斉リセット信号 \overline{RST} は未だ入力されないため、バンクBおよびバンクCにそれぞれ対応したラッチ30-Bおよび30-Cのラッチ内容は依然ロウレベルを保持している。したがって、バンクアドレスラッチ30のラッチ30-B、30-Cおよび30-Dの出力が論理レベルでロウレベルを維持し、リフレッシュ要求信号 \overline{RFSH} が

入力されたときには論理積ゲート51, 52および53の論理積が成立し、リフレッシュ要求信号 \overline{RFSH} および論理積ゲート51, 52および53のロウ出力は論理和ゲート45, 46, 47および48をそれぞれ介することによってバンクA, バンクB, バンクCおよびバンクDの行アドレスストロブ端子 $\overline{RAS0}$, $\overline{RAS1}$, $\overline{RAS2}$ および $\overline{RAS3}$ にそれぞれ供給することができる状態となる。すなわち、この時点ではバンクA, バンクB, バンクCおよびバンクDに対してリフレッシュ動作を行わしめる状態となっている。前述したように、この時点にバンクCは既に書き込み可能な状態となっており、この後、 \overline{RAS} 信号、 \overline{CAS} 信号、 \overline{WE} 信号、アドレス信号 A_{0-15} 等が適宜加えられることによってバンクCに対するアクセス動作がアドレス順序にしたがって行われていく。このバンクCに対するメモリアクセス期間に行われる通常の \overline{RAS} オンリーリフレッシュ動作はバンクCだけでなく既にアクセスしたバンクA, バンクBおよび次にアクセスするバンクDに対しても

実行される。

次に、バンクCに対するアクセスが終了しアクセスはバンクDに移行したとする。この場合も前記同様にして、バンクDに対するダミーサイクルは既に終了しており、ダミーサイクルに伴う待ち時間は発生しない。また、この時点において一斉リセット信号 \overline{RST} は未だ入力されないため、バンクDに対するメモリアクセス期間に行われる通常の \overline{RAS} オンリーリフレッシュ動作はバンクDだけではなく既にアクセスしたバンクA, バンクB, バンクCについても行われる。この際、次に使用するバンクが存在する場合は、勿論そのバンクについてもリフレッシュ動作が実行される。そして、ダイナミックメモリ1に対するアクセスが終了した時点において、一斉リセット信号がバンクアドレスラッチ30に入力され、この結果、ダイナミックメモリ1に対するリフレッシュはバンクAを除いて不可能な状態となる。

すなわち、この実施例ではバンクA, バンクB, バンクC, バンクDの順序にしたがったバンクの

使用状態に対応して、現在使用中のバンクおよび既に使用したバンクおよび次に使用するバンクについてリフレッシュ動作を行わせるようにした。したがって、常に全バンクを一括してリフレッシュする従来方式に比べてリフレッシュ時の消費電力を大幅に削減することができるとともに、リフレッシュ動作をバンク単位に分割したことによって生じるダミーサイクル時の待ち時間がなくなり、効率良いメモリアクセス動作を行うことができる。

ところで、メモリ1に対するアクセスがランダムアドレスアクセスである場合は、バンクA, バンクB, バンクCおよびバンクDが全て選択状態となるようデコード11からはバンク選択信号 Ba , Bb , Bc が全て送出される。これにより、バンクアドレスラッチ30の出力は全てロウレベルとなり、各バンクは全てリフレッシュ可能状態となる。そして、リフレッシュ要求信号 \overline{RFSH} を適宜入力することで全てのバンクにリフレッシュダミーサイクルを経過させ、この結果、全バンクが書き込み可能な状態となる。この後の通常のリフレ

ッシュ動作は全てのバンクが選択状態にあるため、全てのバンクが一括してリフレッシュされる。

なお、上述した実施例においては、負論理で回路を構成したが、正論理あるいは正論理と負論理との組合わせで回路を構成してもよいことは勿論である。

ところで、本発明は上記実施例装置に限るわけではない。要は、ダイナミックメモリに対するバンク選択状態に対応して現在選択中のバンクおよび既に選択されたバンクおよび次に選択するバンクに対してリフレッシュ動作が行われるよう装置を構成すればよいのである。

(発明の効果)

以上説明したように、この発明にかかるダイナミックメモリのリフレッシュ制御方法および装置によれば、既に使用したバンクおよび使用中のバンクのみならず次に使用するバンクについてリフレッシュ動作を実行するようにしたために、リフレッシュ時の電力消費を低減させてこれに伴うノイズ発生を抑制することができるとともに、ダ

ミーサイクル時間に伴う待ち時間がなくなり効
率良いメモリアクセス動作を行わし得るという優
れた効果を奏する。

ンクアドレスラッチ

出願人代理人 木 村 高 久

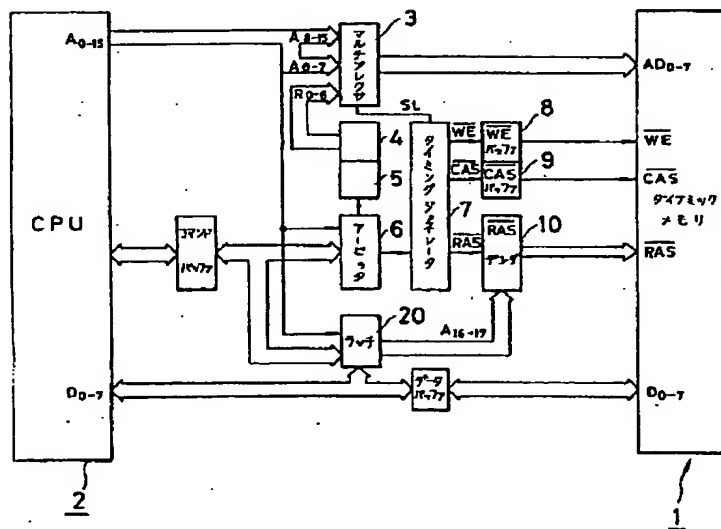


4. 図面の簡単な説明

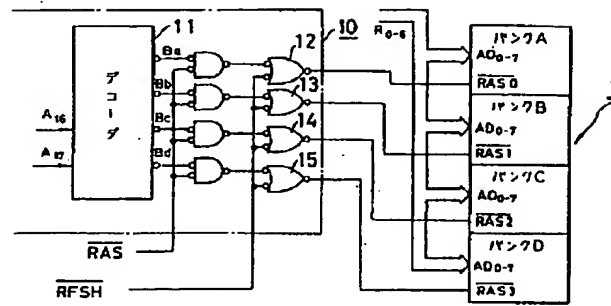
第1図は一般的なダイナミックメモリのアクセ
ス装置の一例を示すブロック図、第2図は従来の
 $\overline{\text{RAS}}$ デコーダの回路構成図、第3図は一般的な
 $\overline{\text{RAS}}$ オンリーリフレッシュタイミングを示すタ
イムチャート、第4図は一般的なダイナミックメ
モリの消費電流特性を示すグラフ、第5図はこの
発明の主要部の一実施例を示す回路構成図、第6
図は第5図に示した実施例の動作例を示すフロー
チャートである。

1 - ダイナミックメモリ、2 - CPU、3 - マ
ルチプレクサ、4 - リフレッシュアドレスジェネ
レータ、5 - リフレッシュタイマー、6 - アービ
タ、7 - タイミングジェネレータ、8 - $\overline{\text{WE}}$ パ
ッファ、9 - $\overline{\text{CAS}}$ バッファ、10 - $\overline{\text{RAS}}$ デコ
ーダ、11 - デコーダ、20 - ラッチ、30 - パ

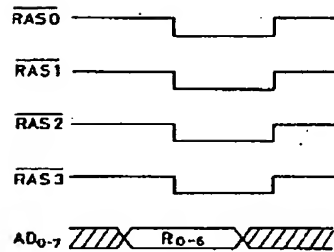
第 1 図



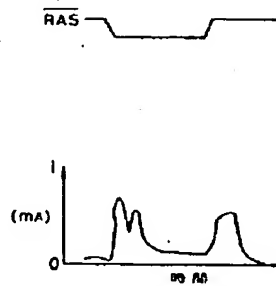
第 2 図



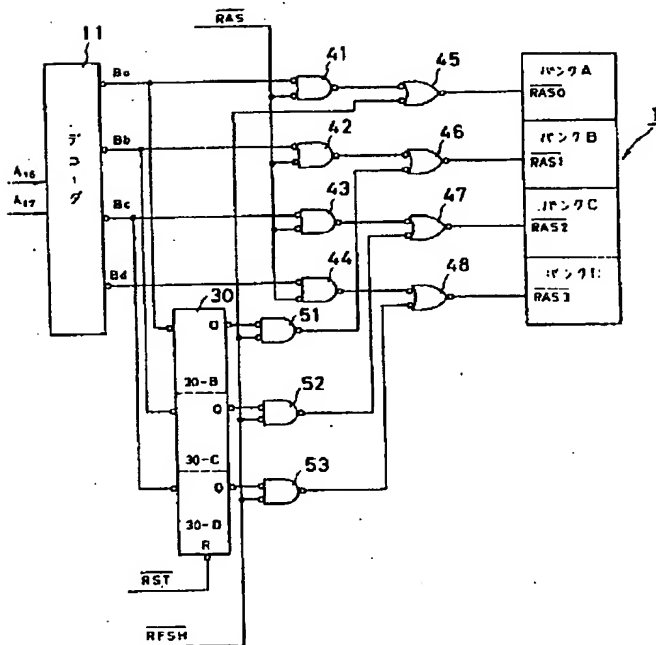
第 3 図



第 4 図



第 5 図



第 6 図

